

WEST

Generate Collection

L3: Entry 17 of 25

File: JPAB

Dec 12, 1997

PUB-NO: JP409321156A

DOCUMENT-IDENTIFIER: JP 09321156 A

TITLE: SPLIT GATE TRANSISTOR, MANUFACTURE OF SPLIT GATE TRANSISTOR, AND NON-VOLATILE SEMICONDUCTOR MEMORY

PUBN-DATE: December 12, 1997

INVENTOR-INFORMATION:

NAME

COUNTRY

TAKEDA, KAORU

KAIDA, TAKAYUKI

ASSIGNEE-INFORMATION:

NAME

COUNTRY

SANYO ELECTRIC CO LTD

N/A

APPL-NO: JP08258980

APPL-DATE: September 30, 1996

INT-CL (IPC): H01L 21/8247; H01L 29/788; H01L 29/792; H01L 27/115

ABSTRACT:

PROBLEM TO BE SOLVED: To provide a fine split gate transistor of high performance having no fluctuation in characteristics.

SOLUTION: On a single crystal silicon substrate 2, a plurality of split gate memory cells (split gate transistors) 31a, 31b are arranged. Each of the memory cells 31a, 31b is constituted by a source region 3, a drain region 4, a channel region 5, a floating gate electrode 32 and a control gate electrode 9. The control gate electrode 9 completely covers the floating gate electrode 32, and end surfaces of individual parts (a passivation film 12, the control gate electrode 9, a tunnel insulating film 8, an insulating film 19, the floating gate electrode 32 and a gate insulating film 6) on an inner wall of a contact hole 13 are formed to be flush with one another. With the insulating film 19, a protrusion 32a is formed at a corner portion on the side of the control gate electrode 9 at an upper part of the floating gate electrode 32. The source region 3 is connected with a source electrode 14 via the contact hole 13.

COPYRIGHT: (C)1997,JPO

AB: PROBLEM TO BE SOLVED: To provide a fine split gate transistor of high performance having no fluctuation in characteristics., SOLUTION: On a single crystal silicon substrate 2, a plurality of split gate memory cells (split gate transistors) 31a, 31b are arranged. Each of the memory cells 31a, 31b is constituted by a source region 3, a drain region 4, a channel region 5, a floating gate electrode 32 and a control gate electrode 9. The control gate electrode 9 completely covers the floating gate electrode 32, and end surfaces of individual parts (a passivation film 12, the control gate electrode 9, a tunnel insulating film 8, an insulating film 19, the floating gate electrode 32 and a gate insulating film 6) on an inner wall of a contact hole 13 are formed to be flush with one another. With the insulating film 19, a protrusion 32a is formed at a corner portion on the side of the control gate electrode 9 at an upper part of the floating gate electrode 32. The source region 3 is connected with a source electrode 14 via the contact hole 13., COPYRIGHT: (C)1997,JPO

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-321156

(43) 公開日 平成9年(1997)12月12日

(51) Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 21/8247			H 0 1 L 29/78	3 7 1
29/788			27/10	4 3 4
29/792				
27/115				

審査請求 有 請求項の数13 O L (全 17 頁)

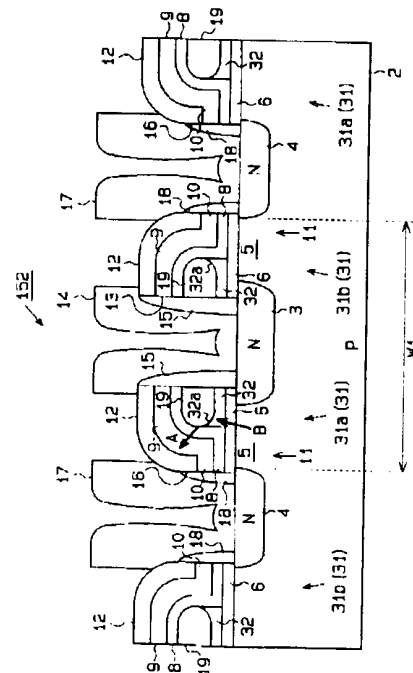
(21) 出願番号	特願平8-258980	(71) 出願人	000001889 三洋電機株式会社 大阪府守口市京阪本通2丁目5番5号
(22) 出願日	平成8年(1996)9月30日	(72) 発明者	武田 薫 大阪府守口市京阪本通2丁目5番5号 三 洋電機 株式会社内
(31) 優先権主張番号	特願平8-77147	(72) 発明者	海田 孝行 大阪府守口市京阪本通2丁目5番5号 三 洋電機 株式会社内
(32) 優先日	平8(1996)3月29日	(74) 代理人	弁理士 恩田 博宣
(33) 優先権主張国	日本 (J P)		

(54) 【発明の名称】 スプリットゲート型トランジスタ、スプリットゲート型トランジスタの製造方法、不揮発性半導体メモリ

(57) 【要約】

【課題】特性のバラツキのない高性能で微細なスプリットゲート型トランジスタを提供する。

【解決手段】単結晶シリコン基板2上に複数のスプリットゲート型メモリセル（スプリットゲート型トランジスタ）31a、31bが配置されている。各メモリセル31a、31bは、ソース領域3、ドレイン領域4、チャネル領域5、浮遊ゲート電極32、制御ゲート電極9から構成されている。制御ゲート電極9は浮遊ゲート電極32を完全に覆い、コンタクトホール13の内壁の各部（パッシベーション膜12、制御ゲート電極9、トンネル絶縁膜8、絶縁膜19、制御ゲート電極32、ゲート絶縁膜6）の端面は面一に形成されている。また、絶縁膜19により、浮遊ゲート電極32の上部における制御ゲート電極9側のカド部分には突起32aが形成されている。ソース領域3はコンタクトホール13を介してソース電極14と接続されている。



【特許請求の範囲】

【請求項1】 浮遊ゲート電極(32)が制御ゲート電極(9)に対して自己整合的に形成されたスプリットゲート型トランジスタ。

【請求項2】 制御ゲート電極(9)の端面と、浮遊ゲート電極(32)の端面とが面一に形成されたスプリットゲート型トランジスタ。

【請求項3】 半導体基板(2)上に形成されたソース領域(3)およびドレイン領域(4)と、ソース領域とドレイン領域に挟まれたチャネル領域(5)と、

チャネル領域上に形成された浮遊ゲート電極(32)と、

浮遊ゲート電極を覆うように形成された制御ゲート電極(9)と、その制御ゲート電極の一部がチャネル領域上に配置されて選択ゲート(10)を構成していることを備え、

制御ゲート電極の選択ゲートとは反対側の端面と、浮遊ゲート電極の端面とが面一に形成されたスプリットゲート型トランジスタ。

【請求項4】 半導体基板(2)上に形成されたソース領域(3)およびドレイン領域(4)と、ソース領域とドレイン領域に挟まれたチャネル領域(5)と、

チャネル領域上にゲート絶縁膜(6)を介して形成された浮遊ゲート電極(32)と、

トンネル絶縁膜(8)を介して浮遊ゲート電極を覆うように形成された制御ゲート電極(9)と、その制御ゲート電極の一部がゲート絶縁膜およびトンネル絶縁膜を介してチャネル領域上に配置されて選択ゲート(10)を構成していることを備え、

制御ゲート電極の選択ゲートとは反対側の端面と、トンネル絶縁膜の端面と、浮遊ゲート電極の端面と、ゲート絶縁膜の端面とが全て面一に形成されたスプリットゲート型トランジスタ。

【請求項5】 半導体基板(2)上に形成されたソース領域(3)およびドレイン領域(4)と、

ソース領域とドレイン領域に挟まれたチャネル領域(5)と、

チャネル領域上に形成された浮遊ゲート電極(32)と、

浮遊ゲート電極を覆うように形成された制御ゲート電極(9)と、その制御ゲート電極の一部がチャネル領域上に配置されて選択ゲート(10)を構成していることと、

制御ゲート電極の選択ゲートとは反対側の端面に形成された絶縁膜から成るサイドウォールスペーサ(61)とを備え、

サイドウォールスペーサによって浮遊ゲート電極の端面が規定されるスプリットゲート型トランジスタ。

【請求項6】 半導体基板(2)上に形成されたソース領域(3)およびドレイン領域(4)と、

ソース領域とドレイン領域に挟まれたチャネル領域(5)と、

チャネル領域上にゲート絶縁膜(6)を介して形成された浮遊ゲート電極(32)と、

トンネル絶縁膜(8)を介して浮遊ゲート電極を覆うように形成された制御ゲート電極(9)と、その制御ゲート電極の一部がゲート絶縁膜およびトンネル絶縁膜を介してチャネル領域上に配置されて選択ゲート(10)を構成していることと、

制御ゲート電極の選択ゲートとは反対側の端面およびトンネル絶縁膜の端面に形成された絶縁膜から成るサイドウォールスペーサ(61)とを備え、

サイドウォールスペーサにより、浮遊ゲート電極の端面およびゲート絶縁膜の端面が規定されるスプリットゲート型トランジスタ。

【請求項7】 半導体基板(2)上に第1の導電膜(41)を形成する工程と、

第1の導電膜上に第2の導電膜(43)を形成する工程と、

第2の導電膜上に第3の膜(12)を形成する工程と、制御ゲート電極(9)を形成するためのエッチング用マスク(44)を用いた異方性エッチングにより、第3の膜をパターニングする工程と、

第3の膜をエッチング用マスクとして用いた異方性エッチングにより、第2の導電膜と第1の導電膜とをパターニングすることで、第2の導電膜から制御ゲート電極を形成し、第1の導電膜から浮遊ゲート電極(32)を形成する工程とを備えたスプリットゲート型トランジスタの製造方法。

【請求項8】 半導体基板(2)上にゲート絶縁膜(6)を介して第1の導電膜(41)を形成する工程と、

第1の導電膜上にトンネル絶縁膜(8)を介して第2の導電膜(43)を形成する工程と、

第2の導電膜上に第3の膜(12)を形成する工程と、制御ゲート電極(9)を形成するためのエッチング用マスク(44)を用いた異方性エッチングにより、第3の膜をパターニングする工程と、

第3の膜をエッチング用マスクとして用いた異方性エッチングにより、第2の導電膜とトンネル絶縁膜と第1の導電膜とゲート絶縁膜とをパターニングすることで、第2の導電膜から制御ゲート電極を形成し、第1の導電膜から浮遊ゲート電極(32)を形成する工程とを備えたスプリットゲート型トランジスタの製造方法。

【請求項9】 半導体基板(2)上に第1の導電膜(41)を形成する工程と、

第1の導電膜上に第2の導電膜(43)を形成する工程と、

第2の導電膜上に第3の膜(12)を形成する工程と、制御ゲート電極(9)を形成するためのエッチング用マスク(44)を用いた異方性エッチングにより、第3の膜をパターニングする工程と、

第3の膜をエッチング用マスクとして用いた異方性エッチングにより、第2の導電膜をエッチングする工程と、そのエッチングされた第2の導電膜の端面に絶縁膜から成るサイドウォールスペーサ(61)を形成する工程と、

第3の膜およびサイドウォールスペーサをエッチング用マスクとして用いた異方性エッチングにより、第2の導電膜と第1の導電膜とをパターニングすることで、第2の導電膜から制御ゲート電極を形成し、第1の導電膜から浮遊ゲート電極(32)を形成する工程とを備えたスプリットゲート型トランジスタの製造方法。

【請求項10】 半導体基板(2)上にゲート絶縁膜(6)を介して第1の導電膜(41)を形成する工程と、

第1の導電膜上にトンネル絶縁膜(8)を介して第2の導電膜(43)を形成する工程と、

第2の導電膜上に第3の膜(12)を形成する工程と、制御ゲート電極(9)を形成するためのエッチング用マスク(44)を用いた異方性エッチングにより、第3の膜をパターニングする工程と、

第3の膜をエッチング用マスクとして用いた異方性エッチングにより、第2の導電膜とトンネル絶縁膜とをエッチングする工程と、

そのエッチングされた第2の導電膜の端面およびトンネル絶縁膜の端面に絶縁膜から成るサイドウォールスペーサ(61)を形成する工程と、

第3の膜およびサイドウォールスペーサをエッチング用マスクとして用いた異方性エッチングにより、第2の導電膜とトンネル絶縁膜と第1の導電膜とゲート絶縁膜とをパターニングすることで、第2の導電膜から制御ゲート電極を形成し、第1の導電膜から浮遊ゲート電極(32)を形成する工程とを備えたスプリットゲート型トランジスタの製造方法。

【請求項11】 請求項3～6のいずれか1項に記載のスプリットゲート型トランジスタにおいて、前記ソース領域(3)と接続されるソース電極(14)を備えたスプリットゲート型トランジスタ。

【請求項12】 請求項1～6、11のいずれか1項に記載のスプリットゲート型トランジスタをメモリセルとして用いる不揮発性半導体メモリ。

【請求項13】 請求項7～10のいずれか1項に記載のスプリットゲート型トランジスタの製造方法によって製造されたスプリットゲート型トランジスタをメモリセルとして用いる不揮発性半導体メモリ

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、スプリットゲート型トランジスタ、スプリットゲート型トランジスタの製造方法、不揮発性半導体メモリに関するものである。

【0002】

【従来の技術】近年、FRAM (Ferro-electric Random Access Memory)、EPROM (Erasable and Programmable Read Only Memory)、EEPROM (Electrically Erasable and Programmable Read Only Memory)などの不揮発性半導体メモリが注目されている。EPROMやEEPROMでは、浮遊ゲート電極に電荷を蓄積し、電荷の有無による閾値電圧の変化を制御ゲート電極によって検出することで、データの記憶を行わせるようになっている。また、EEPROMには、メモリセルアレイ全体でデータの消去を行うか、あるいは、メモリセルアレイを任意のブロックに分けてその各ブロック単位でデータの消去を行うフラッシュEEPROMがある。

【0003】フラッシュEEPROMを構成するメモリセル(メモリセルトランジスタ)は、スタックゲート型とスプリットゲート型に大きく分類される。スタックゲート型メモリセルを用いたフラッシュEEPROMは、個々のメモリセルにそれ自身を選択する機能がない。そのため、データ消去時に浮遊ゲート電極から電荷を引き抜く際、電荷を過剰に抜き過ぎると、メモリセルを非導通状態にするための所定の電圧(例えば、0V)を制御ゲート電極に印加したときでも、チャネル領域が導通状態になる。その結果、そのメモリセルが常に導通状態になり、記憶されたデータの読み出しが不可能になるという問題、いわゆる過剰消去の問題が起こる。過剰消去を防止するには、消去手順に工夫が必要で、メモリデバイスの周辺回路で消去手順を制御するか、またはメモリデバイスの外部回路で消去手順を制御する必要がある。

【0004】このようなスタックゲート型メモリセルにおける過剰消去の問題を回避するために開発されたのが、スプリットゲート型メモリセルである。スプリットゲート型メモリセルを用いたフラッシュEEPROMは、WO92/18980 (G11C 13/00)に開示されている。

【0005】図10は、従来のスプリットゲート型メモリセルを用いたフラッシュEEPROMのメモリセルアレイの一部断面図である。メモリセルアレイ152は、P型単結晶シリコン基板2上に形成された複数のスプリットゲート型メモリセル(スプリットゲート型トランジスタ)1によって構成されている。各メモリセル1は、ソース領域3、ドレイン領域4、チャネル領域5、浮遊ゲート電極7、制御ゲート電極9から構成されている。

【0006】P型単結晶シリコン基板2上にN型のソース領域3およびドレイン領域4が形成されている。ソース領域3とドレイン領域4に挟まれたチャネル領域5上に、ゲート絶縁膜6を介して浮遊ゲート電極7が形成さ

れている。浮遊ゲート電極7上にLOCOS (Local Oxidation on Silicon) 法によって形成された絶縁膜19およびトンネル絶縁膜8を介して制御ゲート電極9が形成されている。制御ゲート電極9は浮遊ゲート電極7の全部を覆ってはおらず、各ゲート電極7、9を基板2の上部から見ると、浮遊ゲート電極7の半分が制御ゲート電極9からはみ出している。絶縁膜19により、浮遊ゲート電極7の上部の両カド部分には突起7aが形成されている。

【0007】ここで、制御ゲート電極9の一部は、各絶縁膜6、8を介してチャネル領域5上に配置され、選択ゲート10を構成している。その選択ゲート10とソース領域3およびドレイン領域4とにより、選択トランジスタ11が構成される。すなわち、スプリットゲート型メモリセル1は、各ゲート電極7、9と各領域3、4から構成されるトランジスタと、選択トランジスタ11とが直列に接続された構成となっている。

【0008】基板2上の占有面積を小さく抑えることを目的に、2つのメモリセル1（以下、2つを区別するため「1a」「1b」と表記する）は、ソース領域3を共通にし、その共通のソース領域3に対して浮遊ゲート電極7および制御ゲート電極9が反転した形で配置されている。

【0009】メモリセル1上にパッシベーション膜12が形成されている。ドレイン領域4はコンタクトホール16においてドレイン電極17と接続されている。コンタクトホール16の内壁には絶縁膜から成るサイドウォールスペーサ18が形成されている。

【0010】図11に、スプリットゲート型メモリセル1を用いたフラッシュEEPROM151の全体構成を示す。メモリセルアレイ152は、複数のメモリセル1がマトリックス状に配置されて構成されている。行（ロウ）方向に配列された各メモリセル1の制御ゲート電極9により、共通のワード線WLa〜WLzが形成されている。列（カラム）方向に配列された各メモリセル1のドレイン電極17により、共通のビット線BLa〜BLzが形成されている。

【0011】奇数番のワード線（WLa〜WLm〜WLz）に接続された各メモリセル1bと、偶数番のワード線（WLb〜WLn〜WLz）に接続された各メモリセル1aとはソース領域3を共通にし、その共通のソース領域3によって各ソース線SLa〜SLmが形成されている。例えば、ワード線WLaに接続された各メモリセル1bと、ワード線WLbに接続された各メモリセル1aとはソース領域3を共通にし、その共通のソース領域3によってソース線SLaが形成されている。各ソース線SLa〜SLmは共通ソース線SLに接続されている。

【0012】各ワード線WLa〜WLzはロウデコーダ153に接続され、各ビット線BLa〜BLzはカラム

デコーダ154に接続されている。外部から指定されたロウアドレスおよびカラムアドレスは、アドレスピン155に入力される。そのロウアドレスおよびカラムアドレスは、アドレスピン155からアドレスバッファ156を介してアドレスラッチ157へ転送される。アドレスラッチ157でラッチされた各アドレスのうち、ロウアドレスはロウデコーダ153へ転送され、カラムアドレスはカラムデコーダ154へ転送される。

【0013】ロウデコーダ153は、アドレスラッチ157でラッチされたロウアドレスに対応した1本のワード線WLa〜WLz（例えば、WLm）を選択し、その選択したワード線WLmの電位を、図12に示す各動作モードに対応して制御する。

【0014】カラムデコーダ154は、アドレスラッチ157でラッチされたカラムアドレスに対応したビット線BLa〜BLz（例えば、BLm）を選択し、その選択したビット線BLmの電位を、図12に示す各動作モードに対応して制御する。

【0015】共通ソース線SLはソース線バイアス回路162に接続されている。ソース線バイアス回路162は、共通ソース線SLを介して各ソース線SLa〜SLmの電位を、図12に示す各動作モードに対応して制御する。

【0016】外部から指定されたデータは、データピン158に入力される。そのデータは、データピン158から入力バッファ159を介してカラムデコーダ154へ転送される。カラムデコーダ154は、前記のように選択したビット線BLa〜BLzの電位を、そのデータに対応して後記するように制御する。

【0017】任意のメモリセル1から読み出されたデータは、ビット線BLa〜BLzからカラムデコーダ154を介してセンスアンプ群160へ転送される。センスアンプ群160は、数個のセンスアンプ（図示略）から構成されている。カラムデコーダ154は、選択したビット線BLmと各センスアンプとを接続する。後記するように、センスアンプ群160で判別されたデータは、出力バッファ161からデータピン158を介して外部へ出力される。

【0018】尚、上記した各回路（153〜162）の動作は制御コア回路163によって制御される。次に、フラッシュEEPROM151の各動作モード（消去モード、書き込みモード、読み出しモード、スタンバイモード）について、図12を参照して説明する。

【0019】（a）消去モード

消去モードにおいて、全てのソース線SLa〜SLmおよび全てのビット線BLa〜BLzの電位はグラウンドレベル（=0V）に保持される。選択されたワード線WLmには1.1〜1.5Vが供給され、それ以外のワード線（非選択のワード線）WLa〜WLl、WLn〜WLzの電位はグラウンドレベルにされる。そのため、選択さ

れたワード線W_{Lm}に接続されている各メモリセル1の制御ゲート電極9は1.4〜1.5Vに持ち上げられる。

【0020】ところで、ソース領域3および基板2と浮遊ゲート電極7との間の静電容量と、制御ゲート電極9と浮遊ゲート電極7との間の静電容量とを比べると、前者の方が圧倒的に大きい。そのため、制御ゲート電極9が1.4〜1.5V、ドレインが0Vの場合、制御ゲート電極9と浮遊ゲート電極7の間には高電界が生じる。その結果、ファウラー・ノルドハイム・トンネル電流(Fowler-Nordheim Tunnel Current、以下、FNトンネル電流という)が流れ、図10の矢印Aに示すように、浮遊ゲート電極7中の電子が制御ゲート電極9側へ引き抜かれて、メモリセル1に記憶されたデータの消去が行われる。このとき、浮遊ゲート電極7には突起7aが形成されているため、浮遊ゲート電極7中の電子は突起7aから飛び出して制御ゲート電極9側へ移動する。従って、電子の移動が容易になり、浮遊ゲート電極7中の電子を効率的に引き抜くことができる。

【0021】この消去動作は、選択されたワード線W_{Lm}に接続されている全てのメモリセル1に対して行われる。尚、複数のワード線W_{La}〜W_{Lz}を同時に選択することにより、その各ワード線に接続されている全てのメモリセル1に対して消去動作を行うこともできる。このように、メモリセルアレイ152を複数組のワード線W_{La}〜W_{Lz}毎の任意のブロックに分けてその各ブロック単位でデータの消去を行う消去動作は、ブロック消去と呼ばれる。

【0022】(b) 書き込みモード

書き込みモードにおいて、選択されたメモリセル1のドレイン領域4に接続されているビット線B_{Lm}の電位はグラウンドレベルにされ、それ以外のビット線(非選択のビット線)B_{La}〜B_{Li}、B_{Ln}〜B_{Lz}には4Vが供給される。選択されたメモリセル1の制御ゲート電極9に接続されているワード線W_{Lm}には2Vが供給され、それ以外のワード線(非選択のワード線)W_{La}〜W_{Li}、W_{Ln}〜W_{Lz}の電位はグラウンドレベルにされる。全てのソース線R_{SLa}〜R_{SLm}には1.2Vが供給される。

【0023】ところで、メモリセル1において、選択トランジスタ11の閾値電圧V_{th}は0.5Vである。従って、選択されたメモリセル1では、ドレイン領域4中の電子は反転状態のチャネル領域5中へ移動する。そのため、ソース領域3からドレイン領域4に向かってセル電流が流れる。一方、ソース領域3に1.2Vが印加されるため、ソース領域3と浮遊ゲート電極7との間の容量を介したカップリングにより、浮遊ゲート電極7の電位が持ち上げられる。そのため、チャネル領域5と浮遊ゲート電極7の間には高電界が生じる。従って、チャネル領域5中の電子は加速されてホットエレクトロンとなり、図10の矢印Bに示すように、浮遊ゲート電極7へ

注入される。その結果、選択されたメモリセル1の浮遊ゲート電極7には電荷が蓄積され、1ビットのデータが書き込まれて記憶される。

【0024】この書き込み動作は、消去動作と異なり、選択されたメモリセル1毎に行うことができる。

(c) 読み出しモード

読み出しモードにおいて、選択されたメモリセル1の制御ゲート電極9に接続されているワード線W_{Lm}には4Vが供給され、それ以外のワード線(非選択のワード線)W_{La}〜W_{Li}、W_{Ln}〜W_{Lz}の電位はグラウンドレベルにされる。選択されたメモリセル1のドレイン領域4に接続されているビット線B_{Lm}には2Vが供給され、それ以外のビット線(非選択のビット線)B_{La}〜B_{Li}、B_{Ln}〜B_{Lz}の電位はグラウンドレベルにされる。

【0025】前記したように、消去状態にあるメモリセル1の浮遊ゲート電極7中からは電子が引き抜かれている。また、書き込み状態にあるメモリセル1の浮遊ゲート電極7中には電子が注入されている。従って、消去状態にあるメモリセル1の浮遊ゲート電極7直下のチャネル領域5はオンしており、書き込み状態にあるメモリセル1の浮遊ゲート電極7直下のチャネル領域5はオフしている。そのため、制御ゲート電極9に4Vが印加されたとき、ドレイン領域4からソース領域3に向かって流れるセル電流は、消去状態のメモリセル1の方が書き込み状態のメモリセル1よりも大きくなる。

【0026】この各メモリセル1間のセル電流の大きさをセンスアンプ群160内の各センスアンプで判別することにより、メモリセル1に記憶されたデータの値を読み出すことができる。例えば、消去状態のメモリセル1のデータの値を「1」、書き込み状態のメモリセル1のデータの値を「0」として読み出しを行う。つまり、各メモリセル1に、消去状態のデータ値「1」と、書き込み状態のデータ値「0」の2値を記憶させることができる。

【0027】(d) スタンバイモード

スタンバイモードにおいて、共通ソース線S_L、全てのワード線W_{La}〜W_{Lz}、全てのビット線B_{La}〜B_{Lz}の電位はグラウンドレベルに保持されている。このスタンバイモードでは、全てのメモリセル1に対していかなる動作(消去動作、書き込み動作、読み出し動作)も行われない。

【0028】このように構成されたスプリットゲート型メモリセルを用いたフラッシュEEPROMは、選択トランジスタ11が設けられているため、個々のメモリセル1にそれ自身を選択する機能がある。つまり、データ消去時にフローティングゲート電極7から電荷を引き抜く際に電荷を過剰に抜き過ぎて、選択ゲート10によってチャネル領域5を非導通状態にすることができる。従って、過剰消去が発生したとしても、選択トランジス

タ11によってメモリセル1の導通・非導通を制御することができる、過剰消去が問題にならない。すなわち、メモリセル1の内部に設けられた選択トランジスタ11によって、そのメモリセル自身の導通・非導通を選択することができる。

【0029】ところで、図10に示すスプリットゲート型メモリセル1において、ソース領域3をドレイン領域とし、ドレイン領域4をソース領域としたフラッシュEEPROMが、USP-5029130 (G11C 11/40) に開示されている。

【0030】図13は、その場合のスプリットゲート型メモリセル21を用いたフラッシュEEPROMのメモリセルアレイの一部断面図である。図14に、スプリットゲート型メモリセル21を用いたフラッシュEEPROM171の全体構成を示す。

【0031】図15に、フラッシュEEPROM171の各動作モードにおける各部の電位を示す。スプリットゲート型メモリセル21において、スプリットゲート型メモリセル1と異なるのは、ソース領域3およびドレイン領域4の呼び方が逆になっている点である。つまり、メモリセル21のソース領域3はメモリセル1においてはドレイン領域4と呼ばれ、メモリセル21のドレイン領域4はメモリセル1においてはソース領域3と呼ばれる。

【0032】フラッシュEEPROM171において、フラッシュEEPROM151と異なるのは、共通ソース線SLが接地されている点だけである。従って、いずれの動作モードにおいても、共通ソース線SLを介して各ソース線RSLa~RSLmの電位はグラウンドレベルに保持される。

【0033】また、書き込みモードにおいて、選択されたメモリセル21のドレイン領域4に接続されているビット線BLmには1.2Vが供給され、それ以外のビット線(非選択のビット線)BLa~BLl, BLn~BLzの電位はグラウンドレベルにされる。

【0034】ところで、メモリセル21においても、選択トランジスタ11の閾値電圧Vthは0.5Vである。従って、選択されたメモリセル21では、ソース領域3中の電子は反転状態のチャネル領域5中へ移動する。そのため、ドレイン領域4からソース領域3に向かってセル電流が流れる。一方、ドレイン領域4に1.2Vが印加されるため、ドレイン領域4と浮遊ゲート電極7との間の容量を介したカップリングにより、浮遊ゲート電極7の電位が持ち上げられる。そのため、チャネル領域5と浮遊ゲート電極7の間には高電界が生じる。従って、チャネル領域5中の電子は加速されてホットエレクトロンとなり、図13の矢印Bに示すように、浮遊ゲート電極7へ注入される。その結果、選択されたメモリセル21の浮遊ゲート電極7には電荷が蓄積され、1ビットのデータが書き込まれて記憶される

【0035】

【発明が解決しようとする課題】近年、半導体メモリの記憶容量の増大に伴って、スプリットゲート型メモリセル1, 21においてもさらなる微細化が求められている。メモリセル1, 21を微細化するには、形状を変更することなく、単純に各部の寸法を縮小する方法がある。しかし、現在開発されている製造装置の加工能力を考慮すると、この方法には限界がある。

【0036】1) 特性のバラツキのない高性能で微細なスプリットゲート型トランジスタおよびその製造方法を提供する。

2) 過剰消去の問題がなく高集積化が可能な不揮発性半導体メモリを提供する。

【0037】

【課題を解決するための手段】請求項1に記載の発明は、浮遊ゲート電極(32)が制御ゲート電極(9)に対して自己整合的に形成されたことをその要旨とする。

【0038】請求項2に記載の発明は、制御ゲート電極(9)の端面と、浮遊ゲート電極(32)の端面とが面一に形成されたことをその要旨とする。請求項3に記載の発明は、半導体基板(2)上に形成されたソース領域(3)およびドレイン領域(4)と、ソース領域とドレイン領域に挟まれたチャネル領域(5)と、チャネル領域上に形成された浮遊ゲート電極(32)と、浮遊ゲート電極を覆うように形成された制御ゲート電極(9)と、その制御ゲート電極の一部がチャネル領域上に配置されて選択ゲート(10)を構成していることを備え、制御ゲート電極の選択ゲートとは反対側の端面と、浮遊ゲート電極の端面とが面一に形成されたことをその要旨とする。

【0039】請求項4に記載の発明は、半導体基板(2)上に形成されたソース領域(3)およびドレイン領域(4)と、ソース領域とドレイン領域に挟まれたチャネル領域(5)と、チャネル領域上にゲート絶縁膜(6)を介して形成された浮遊ゲート電極(32)と、トンネル絶縁膜(8)を介して浮遊ゲート電極を覆うように形成された制御ゲート電極(9)と、その制御ゲート電極の一部がゲート絶縁膜およびトンネル絶縁膜を介してチャネル領域上に配置されて選択ゲート(10)を構成していることを備え、制御ゲート電極の選択ゲートとは反対側の端面と、トンネル絶縁膜の端面と、浮遊ゲート電極の端面と、ゲート絶縁膜の端面とが全て面一に形成されたことをその要旨とする。

【0040】請求項2~4のいずれか1項に記載の発明によれば、浮遊ゲート電極の幅が小さくなる。請求項5に記載の発明は、半導体基板(2)上に形成されたソース領域(3)およびドレイン領域(4)と、ソース領域とドレイン領域に挟まれたチャネル領域(5)と、チャネル領域上に形成された浮遊ゲート電極(32)と、浮遊ゲート電極を覆うように形成された制御ゲート電極

(9)と、その制御ゲート電極の一部がチャネル領域上に配置されて選択ゲート(10)を構成していることと、制御ゲート電極の選択ゲートとは反対側の端面に形成された絶縁膜から成るサイドウォールスペーサ(61)とを備え、サイドウォールスペーサによって浮遊ゲート電極の端面が規定されることをその要旨とする。

【0041】請求項6に記載の発明は、半導体基板(2)上に形成されたソース領域(3)およびドレイン領域(4)と、ソース領域とドレイン領域に挟まれたチャネル領域(5)と、チャネル領域上にゲート絶縁膜(6)を介して形成された浮遊ゲート電極(32)と、トンネル絶縁膜(8)を介して浮遊ゲート電極を覆うように形成された制御ゲート電極(9)と、その制御ゲート電極の一部がゲート絶縁膜およびトンネル絶縁膜を介してチャネル領域上に配置されて選択ゲート(10)を構成していることと、制御ゲート電極の選択ゲートとは反対側の端面およびトンネル絶縁膜の端面に形成された絶縁膜から成るサイドウォールスペーサ(61)とを備え、サイドウォールスペーサにより、浮遊ゲート電極の端面およびゲート絶縁膜の端面が規定されることをその要旨とする。

【0042】請求項5または請求項6に記載の発明によれば、サイドウォールスペーサの幅によって浮遊ゲート電極が規定されるため、サイドウォールスペーサの幅を小さくすれば、浮遊ゲート電極の幅も小さくなる。

【0043】請求項7に記載の発明は、半導体基板(2)上に第1の導電膜(41)を形成する工程と、第1の導電膜上に第2の導電膜(43)を形成する工程と、第2の導電膜上に第3の膜(12)を形成する工程と、制御ゲート電極(9)を形成するためのエッチング用マスク(44)を用いた異方性エッチングにより、第3の膜をパターニングする工程と、第3の膜をエッチング用マスクとして用いた異方性エッチングにより、第2の導電膜と第1の導電膜とをパターニングすることで、第2の導電膜から制御ゲート電極を形成し、第1の導電膜から浮遊ゲート電極(32)を形成する工程とを備えたことをその要旨とする。

【0044】請求項8に記載の発明は、半導体基板(2)上にゲート絶縁膜(6)を介して第1の導電膜(41)を形成する工程と、第1の導電膜上にトンネル絶縁膜(8)を介して第2の導電膜(43)を形成する工程と、第2の導電膜上に第3の膜(12)を形成する工程と、制御ゲート電極(9)を形成するためのエッチング用マスク(44)を用いた異方性エッチングにより、第3の膜をパターニングする工程と、第3の膜をエッチング用マスクとして用いた異方性エッチングにより、第2の導電膜とトンネル絶縁膜と第1の導電膜とをパターニングすることで、第2の導電膜から制御ゲート電極を形成し、第1の導電膜から浮遊ゲート電極(32)を形成する工程とを備えたことをその

要旨とする。

【0045】請求項7または請求項8に記載の発明によれば、浮遊ゲート電極が制御ゲート電極に対して自己整合的に形成される。請求項9に記載の発明は、半導体基板(2)上に第1の導電膜(41)を形成する工程と、第1の導電膜上に第2の導電膜(43)を形成する工程と、第2の導電膜上に第3の膜(12)を形成する工程と、制御ゲート電極(9)を形成するためのエッチング用マスク(44)を用いた異方性エッチングにより、第3の膜をパターニングする工程と、第3の膜をエッチング用マスクとして用いた異方性エッチングにより、第2の導電膜をエッチングする工程と、そのエッチングされた第2の導電膜の端面に絶縁膜から成るサイドウォールスペーサ(61)を形成する工程と、第3の膜およびサイドウォールスペーサをエッチング用マスクとして用いた異方性エッチングにより、第2の導電膜と第1の導電膜とをパターニングすることで、第2の導電膜から制御ゲート電極を形成し、第1の導電膜から浮遊ゲート電極(32)を形成する工程とを備えたことをその要旨とする。

【0046】請求項10に記載の発明は、半導体基板(2)上にゲート絶縁膜(6)を介して第1の導電膜(41)を形成する工程と、第1の導電膜上にトンネル絶縁膜(8)を介して第2の導電膜(43)を形成する工程と、第2の導電膜上に第3の膜(12)を形成する工程と、制御ゲート電極(9)を形成するためのエッチング用マスク(44)を用いた異方性エッチングにより、第3の膜をパターニングする工程と、第3の膜をエッチング用マスクとして用いた異方性エッチングにより、第2の導電膜とトンネル絶縁膜とをエッチングする工程と、そのエッチングされた第2の導電膜の端面およびトンネル絶縁膜の端面に絶縁膜から成るサイドウォールスペーサ(61)を形成する工程と、第3の膜およびサイドウォールスペーサをエッチング用マスクとして用いた異方性エッチングにより、第2の導電膜とトンネル絶縁膜と第1の導電膜とをパターニングすることで、第2の導電膜から制御ゲート電極を形成し、第1の導電膜から浮遊ゲート電極(32)を形成する工程とを備えたことをその要旨とする。

【0047】請求項9または請求項10に記載の発明によれば、浮遊ゲート電極が制御ゲート電極に対して自己整合的に形成される。また、サイドウォールスペーサの幅を調整することで、浮遊ゲート電極の幅を調節することができる。

【0048】請求項11に記載の発明は、請求項3～6のいずれか1項に記載のスプリットゲート型トランジスタにおいて、前記ソース領域(3)と接続されるソース電極(14)を備えたことをその要旨とする。

【0049】請求項12に記載の発明は、請求項1～6、11のいずれか1項に記載のスプリットゲート型ト

ランジスタをメモリセルとして用いることをその要旨とする。請求項13に記載の発明は、請求項7～10のいずれか1項に記載のスプリットゲート型トランジスタの製造方法によって製造されたスプリットゲート型トランジスタをメモリセルとして用いることをその要旨とする。

【0050】

【発明の実施の形態】

(第1実施形態)以下、本発明を具体化した第1実施形態を図面に従って説明する。尚、本実施形態において、図10に示した従来の形態と同じ構成部材については符号を等しくしてその詳細な説明を省略する。

【0051】図1は、本実施形態のフラッシュEEPROMのメモリセルアレイの一部断面図である。図1において、図10と異なるのは以下の点だけである。

(1) 基板2上に複数のスプリットゲート型メモリセル(スプリットゲート型トランジスタ)31が配置されている。各メモリセル31は、ソース領域3、ドレイン領域4、チャネル領域5、浮遊ゲート電極32、制御ゲート電極9から構成されている。

【0052】基板2上の占有面積を小さく抑えることを目的に、2つのメモリセル31(以下、2つを区別するため「31a」「31b」と表記する)は、ソース領域3を共通にし、その共通のソース領域3に対して浮遊ゲート電極32および制御ゲート電極9が反転した形で配置されている。

【0053】(2) 浮遊ゲート電極32の形状は、図10に示すメモリセル1の浮遊ゲート電極7を縦方向に2分割して制御ゲート電極9と重なる部分だけを残した状態になっている。つまり、浮遊ゲート電極7から制御ゲート電極9と重ならない部分を取り除いたものが、浮遊ゲート電極32となる。従って、制御ゲート電極9は浮遊ゲート電極32を完全に覆い、コンタクトホール13の内壁の各部(パッシベーション膜12、制御ゲート電極9、トンネル絶縁膜8、絶縁膜19、制御ゲート電極32、ゲート絶縁膜6)の端面は面一に形成されている。つまり、制御ゲート電極9の選択ゲート10とは反対側の端面と、浮遊ゲート電極32の端面とが面一に形成されている。

【0054】(3) 絶縁膜19により、浮遊ゲート電極32の上部における制御ゲート電極9側のカド部分には突起32aが形成されている。

(4) ソース領域3は、コンタクトホール13においてソース電極14と接続されている。コンタクトホール13の内壁には絶縁膜から成るサイドウォールスペーサ15が形成されている。そして、各ソース線RSLa、RSLbは、ソース領域3とソース電極14とによって構成されている。

【0055】尚、本実施形態のスプリットゲート型メモリセル31を用いたフラッシュEEPROM51の全体

構成は、図11に示した従来の形態と同じである。また、本実施形態のフラッシュEEPROM51の各動作モードにおける各部の電位は、図12に示した従来の形態と同じである。

【0056】次に、本実施形態の製造方法を図2～図5に従い順を追って説明する。

工程1(図2(a)(b)参照):熱酸化法を用い、基板2上にシリコン酸化膜から成るゲート絶縁膜6を形成する。次に、ゲート絶縁膜6上に浮遊ゲート電極32と成るドーパドポリシリコン膜41を形成する。続いて、LOCOS法を用い、ドーパドポリシリコン膜41上にシリコン窒化膜42を形成した後でシリコン窒化膜42に開口部を形成し、シリコン窒化膜42を酸化用マスクとしてドーパドポリシリコン膜41を酸化することで、絶縁膜19を形成する。このとき、シリコン窒化膜42の端部に絶縁膜19の端部が侵入し、バースビーク19aが形成される。

【0057】工程2(図2(c)(d)参照):シリコン窒化膜42を除去する。次に、絶縁膜19をエッチング用マスクとして用いた異方性エッチングにより、ドーパドポリシリコン膜41をエッチングする。このとき、絶縁膜19の端部にはバースビーク19aが形成されているため、ドーパドポリシリコン膜41の上縁部はバースビーク19aの形状に沿って尖鋭になり、突起32aが形成される。ここで、エッチングされた後のドーパドポリシリコン膜41の形状は、ソース領域3を共通にする各メモリセル1a、1bの浮遊ゲート電極32をつないだ状態になる。

【0058】工程3(図3(a)参照):熱酸化法もしくはLPCVD(Low Pressure Chemical Vapor Deposition)法またはこれらを併用し、上記の工程で形成されたデバイスの全面に、シリコン酸化膜から成るトンネル絶縁膜8を形成する。このとき、積層された各絶縁膜6、8は一体化される。

【0059】工程4(図3(b)参照):上記の工程で形成されたデバイスの全面に、制御ゲートと成るドーパドポリシリコン膜43を形成する。次に、CVD法を用い、ドーパドポリシリコン膜43上にシリコン酸化膜から成るパッシベーション膜12を形成する。

【0060】尚、ドーパドポリシリコン膜41、43の形成方法には以下のものがある。

方法1:LPCVD法を用いてポリシリコン膜を形成する際に、不純物を含んだガスを混入する。

【0061】方法2:LPCVD法を用いてノンドーパのポリシリコン膜を形成した後、ポリシリコン膜上に不純物拡散源層(POCL₃など)を形成し、その不純物拡散源層からポリシリコン膜に不純物を拡散させる。

【0062】方法3:LPCVD法を用いてノンドーパのポリシリコン膜を形成した後、不純物イオンを注入する。

工程5(図3(c)参照);上記の工程で形成されたデバイスの全面にレジストを塗布した後、通常のフォトリソグラフィ技術を用いて、制御ゲート電極9を形成するためのエッチング用マスク44を形成する。

【0063】工程6(図4(a)参照);エッチング用マスク44を用いた異方性エッチングにより、パッシベーション膜12をエッチングする。

工程7(図4(b)参照);上記の工程で形成されたデバイスの全面にレジストを塗布した後、通常のフォトリソグラフィ技術を用いて、後にコンタクトホール13と成る部分だけが露出した形状のエッチング用マスク45を形成する。

【0064】工程8(図4(c)参照);各エッチング用マスク44、45を用いた異方性エッチングにより、ドーパドポリシリコン膜43、トンネル絶縁膜8、絶縁膜19をエッチングする。

【0065】工程9(図5(a)参照);各エッチング用マスク44、45を除去する。

工程10(図5(b)参照);パッシベーション膜12をエッチング用マスクとして用いた異方性エッチングにより、各ドーパドポリシリコン膜43、41および各絶縁膜8、6をエッチングする。その結果、残ったドーパドポリシリコン膜43から制御ゲート電極9が形成され、残ったドーパドポリシリコン膜41から浮遊ゲート電極32が形成される。

【0066】工程11(図5(c)参照);CVD法を用い、上記の工程で形成されたデバイスの全面にシリコン酸化膜を形成する。次に、全面エッチバック法を用い、そのシリコン酸化膜をエッチバックすることで、シリコン酸化膜から成る各サイドウォールスペーサ15、18を形成する。その結果、浮遊ゲート電極32と制御ゲート電極9とは電氣的に分離される。また、全面エッチバック法によって各コンタクトホール13、16も形成され、後にソース領域3およびドレイン領域4と成る基板2の表面が露出する。

【0067】工程12(図1参照);イオン注入法を用い、コンタクトホール13の底部に露出した基板2の表面にリンイオン(P⁺)を注入することで、ソース領域3を形成する。次に、コンタクトホール16の底部に露出した基板2の表面にヒ素イオン(As⁺)を注入することで、ドレイン領域4を形成する。続いて、PVD(Physical Vapor Deposition)法を用い、各コンタクトホール13、16の内部を含む上記の工程で形成されたデバイスの全面にアルミ合金膜を形成し、そのアルミ合金膜をパターニングすることでソース電極14およびドレイン電極17を形成する。

【0068】このように本実施形態によれば、以下の作用および効果を得ることができる。

(1) スプリットゲート型メモリセル31には、スプリットゲート型メモリセル1と同様に、選択トランジスタ

11が設けられている。そのため、個々のメモリセル31にそれ自身を選択する機能がある。そのため、スプリットゲート型メモリセル31を用いたフラッシュEEPROM51において過剰消去が発生したとしても、選択トランジスタ11によってメモリセル31の導通・非導通を制御することができる。従って、過剰消去の問題がなくなる。

【0069】(2) 本実施形態のメモリセル31の浮遊ゲート電極32の幅は、従来の形態のメモリセル1の浮遊ゲート電極7の幅の半になる。従って、本実施形態によれば、微細なスプリットゲート型メモリセル31を得ることができる。例えば、図10において隣合う2つのメモリセル1a、1bの各ドレイン領域4の間の幅W2が2.4μmの場合、図1において隣合う2つのメモリセル31a、31bの各ドレイン領域4の間の幅W1は1.8μmとなる。つまり、メモリセル31の各ドレイン領域4の間の幅W1を、メモリセル1の各ドレイン領域4の間の幅W2に対して75%に縮小することができる。

【0070】(3) ソース領域3および基板2と浮遊ゲート電極32との間の静電容量と、制御ゲート電極9と浮遊ゲート電極32との間の静電容量とを比べると、前者の方が圧倒的に大きい。そのため、消去モードにおいて、制御ゲート電極9が14~15V、ドレインが0Vの場合、制御ゲート電極9と浮遊ゲート電極32の間には高電界が生じる。その結果、FNトンネル電流が流れ、図1の矢印Aに示すように、浮遊ゲート電極32中の電子が制御ゲート電極9側へ引き抜かれて、メモリセル31に記憶されたデータの消去が行われる。このとき、浮遊ゲート電極32には突起32aが形成されているため、浮遊ゲート電極32中の電子は突起32aから飛び出して制御ゲート電極9側へ移動する。従って、電子の移動が容易になり、浮遊ゲート電極32中の電子を効率的に引き抜くことができる。

【0071】また、メモリセル31において、選択トランジスタ11の閾値電圧V_{th}は0.5Vである。従って、書き込みモードにおいて、選択されたメモリセル31では、ドレイン領域4中の電子は反転状態のチャネル領域5中へ移動する。そのため、ソース領域3からドレイン領域4に向かってセル電流が流れる。一方、ソース領域3に1.2Vが印加されるため、ソース領域3と浮遊ゲート電極32との間の容量を介したカップリングにより、浮遊ゲート電極32の電位が持ち上げられる。そのため、チャネル領域5と浮遊ゲート電極32の間には高電界が生じる。従って、チャネル領域5中の電子は加速されてホットエレクトロンとなり、図1の矢印Bに示すように、浮遊ゲート電極32へ注入される。その結果、選択されたメモリセル31の浮遊ゲート電極32には電荷が蓄積され、1ビットのデータが書き込まれて記憶される。

【0072】(4) 上記(3)より、消去モードおよび書き込みモードにおいて用いられるのは、浮遊ゲート電極32における制御ゲート電極9と重なる部分だけである。つまり、浮遊ゲート電極7における制御ゲート電極9と重ならない部分は、メモリセル1の動作に対してほとんど寄与しない。従って、浮遊ゲート電極7から制御ゲート電極9と重ならない部分を取り除いた形状の浮遊ゲート電極32においても、各動作モードにおける作用については浮遊ゲート電極7と何ら変わるところはない。

【0073】(5) 工程6において、エッチング用マスク44を用いてパッシベーション膜12をエッチングする。次に、工程8において、エッチング用マスク44を用いてドーパドポリシリコン膜43をエッチングすることで、コンタクトホール13の内壁における制御ゲート9の端面を形成する。続いて、工程10において、パッシベーション膜12をエッチング用マスクとしてドーパドポリシリコン膜41をエッチングすることで、コンタクトホール13の内壁における浮遊ゲート32の端面を形成する。その結果、コンタクトホール13の内壁において、各ゲート電極9、32の端面は面一になる。つまり、浮遊ゲート電極32は制御ゲート電極9に対して自己整合的に形成される。従って、各ゲート電極9、32の相対的な位置ズレが起こることはなく、寸法精度の再現性を高くすることができる。

【0074】(6) 上記(1)(2)より、過剰消去の問題を解消した上で、フラッシュEEPROM51の高集積化を図ることができる。

(7) ソース領域3は、コンタクトホール13においてソース電極14と接続されている。そして、各ソース線RSLa~RSLmは、ソース領域3とソース電極14とによって構成されている。従って、ソース領域3だけで各ソース線RSLa~RSLmを構成した場合に比べ、アルミ合金膜から成るソース電極14を設ける分だけ、各ソース線RSLa~RSLmを低抵抗化することができる。

【0075】ところで、各ソース線RSLa~RSLmの電気抵抗が高い場合、各ソース線RSLa~RSLmにおける電圧降下により、同じソース線RSLa~RSLmに接続されるメモリセル1間において、特性のバラツキが生じる恐れがある。

【0076】しかし、本実施形態によれば、ソース電極14によって各ソース線RSLa~RSLmが低抵抗化されるため、当該ソース線の電気抵抗に起因する各メモリセル1間の特性のバラツキを防止することができる。

【0077】(8) コンタクトホール13は、浮遊ゲート電極32、制御ゲート電極9、ソース領域3に対して自己整合的に形成される。ところで、従来の形態では、ソース領域3を形成する際に、ソース領域3と制御ゲート電極9との間に合わせずれが発生することがある。ソ

ース領域3だけで各ソース線RSLa~RSLmを構成した場合、そのような合わせずれが発生すると、奇数番のワード線(WLa~WLm~WLy)に接続された各メモリセル1bと、偶数番のワード線(WLb~WLn~WLz)に接続された各メモリセル1aとの間でカップリング比が異なったものになる。その結果、書き込みモードにおいて、浮遊ゲート電極32へ注入されるホットエレクトロンの量が各メモリセル1b、1a間で異なったものになり、特性のバラツキが生じる恐れがある。

10 【0078】しかし、本実施形態によれば、コンタクトホール13内に充填したアルミ合金によってソース電極14が形成されるため、ソース領域3と制御ゲート電極9との間に合わせずれは発生せず、その合わせずれに起因した各メモリセル1b、1a間の特性のバラツキが生じることはない。

【0079】(9) 上記(7)(8)より、特性のバラツキのない高性能なメモリセル1を得ることができる。(第2実施形態)以下、本発明を具体化した第2実施形態を図面に従って説明する。尚、本実施形態において、図1~図5、図11、図12に示した第1実施形態と同じ構成部材については符号を等しくしてその詳細な説明を省略する。

【0080】図6は、本実施形態のフラッシュEEPROMのメモリセルアレイの一部断面図である。図6において、図1と異なるのは以下の点だけである。

(1) コンタクトホール13の内壁の各部(パッシベーション膜12、制御ゲート電極9、トンネル絶縁膜8、絶縁膜19)の端面において、サイドウォールスペーサ15の内側にサイドウォールスペーサ61が設けられている。そのため、制御ゲート電極9は浮遊ゲート電極32の全部を覆ってはおらず、各ゲート電極32、9を基板2の上部から見ると、サイドウォールスペーサ61の幅の分だけ浮遊ゲート電極32が制御ゲート電極9からはみ出している。

【0081】(2) コンタクトホール13の内壁の各部(パッシベーション膜12、制御ゲート電極9)の端面において、サイドウォールスペーサ18の内側にサイドウォールスペーサ62が設けられている。

【0082】次に、本実施形態の製造方法を図2~図5、図7に従い順を追って説明する。

工程1~工程9(図5(a)参照)；第1実施形態の工程1~工程9と同じである。

【0083】工程10(図7(a)参照)；CVD法を用い、上記の工程で形成されたデバイスの全面にシリコン酸化膜を形成する。次に、全面エッチバック法を用い、そのシリコン酸化膜をエッチバックすることで、シリコン酸化膜から成る各サイドウォールスペーサ61、62を形成する。

【0084】工程11(図7(b)参照)；パッシベーション膜12および各サイドウォールスペーサ61、62

2をエッチング用マスクとして用いた異方性エッチングにより、各ドーパドポリシリコン膜43、41および各絶縁膜8、6をエッチングする。その結果、残ったドーパドポリシリコン膜43から制御ゲート電極9が形成され、残ったドーパドポリシリコン膜41から浮遊ゲート電極32が形成される。

【0085】工程12(図7(c)参照)；CVD法を用い、上記の工程で形成されたデバイスの全面にシリコン酸化膜を形成する。次に、全面エッチバック法を用い、そのシリコン酸化膜をエッチバックすることで、シリコン酸化膜から成る各サイドウォールスペース15、18を形成する。

【0086】工程13(図1参照)；第1実施形態の工程12と同じである。このように本実施形態によれば、第1実施形態の作用および効果に加えて、以下の作用および効果を得ることができる。

【0087】(1)サイドウォールスペース61の幅を調整することにより、浮遊ゲート電極32において制御ゲート電極9からはみ出す部分の幅を調節することができる。ここで、サイドウォールスペース61の幅を正確に制御するには、工程10において、シリコン酸化膜の膜厚とエッチバック量を正確に制御すればよい。従って、サイドウォールスペース61の幅を調整するのは極めて容易である。

【0088】(2)上記(1)より、浮遊ゲート電極32の幅を変更することが可能になり、浮遊ゲート電極32に蓄積可能な電荷の量を調節することができる。

(3)工程11において、パッシベーション膜12およびサイドウォールスペース61をエッチング用マスクとしてドーパドポリシリコン膜41をエッチングすることで、コンタクトホール13の内壁における浮遊ゲート32の端面を形成する。つまり、浮遊ゲート電極32は制御ゲート電極9に対して自己整合的に形成される。従って、サイドウォールスペース61の幅を正確に制御すれば、各ゲート電極9、32の相対的な位置ズレが起こることはなく、寸法精度の再現性を高くすることができる。

【0089】尚、上記各実施形態は以下のように変更してもよく、その場合でも同様の作用および効果を得ることができる。

(1)各絶縁膜6、8をそれぞれ、シリコン窒化膜などの他の絶縁膜に置き代える。また、これらの異なる絶縁膜を複数積層した構造に置き代える。

【0090】(2)各ゲート電極32、9の材質をそれぞれ、ドーパドポリシリコン以外の導電性材料(高融点金属を含む各種金属、シリサイドなど)に置き代える。

(3)パッシベーション膜12の材質は、浮遊ゲート電極32とはエッチングレート異なる膜であればどのようなものでもよい。

【0091】従って、浮遊ゲート電極32にドーパドポ

リシリコンを用いた場合、パッシベーション膜12の材質をシリコン窒化膜に置き代えてもよい。また、パッシベーション膜12を、浮遊ゲート電極32とはエッチングレートの異なる導電膜に置き代える。この場合、ソース電極14およびドレイン電極17を形成する前に、別途パッシベーション膜を形成して各電極14、17と制御ゲート電極9との絶縁をとる必要がある。

【0092】(4)第2実施形態において、サイドウォールスペース61の材質は、浮遊ゲート電極32とはエッチングレートの異なるものであればどのようなものでもよい。従って、浮遊ゲート電極32にドーパドポリシリコンを用いた場合、サイドウォールスペース61の材質をシリコン窒化膜に置き代える。

【0093】(5)P型単結晶シリコン基板2をP型ウェルに置き代える。

(6)ソース領域3を形成するために注入する不純物イオンを、リンイオン以外のN型不純物イオン(ヒ素、アンチモンなど)に置き代える。また、ドレイン領域4を形成するために注入する不純物イオンを、ヒ素イオン以外のN型不純物イオン(リン、アンチモンなど)に置き代える。

【0094】(7)P型単結晶シリコン基板2をN型単結晶シリコン基板またはN型ウェルに置き換え、ソース領域3およびドレイン領域4を形成するために注入する不純物イオンとしてP型不純物イオン(ホウ素、インジウムなど)を用いる。

【0095】(8)第1実施形態において、スプリットゲート型メモリセル31のソース領域3をドレイン領域とし、ドレイン領域4をソース領域とする。図8に、その場合のメモリセル31の一部断面図を示す。また、第2実施形態においても同様に示す。図9に、その場合のメモリセル31の一部断面図を示す。これらの場合のフラッシュEEPROM81の全体構成は、図14に示した従来の形態と同じである。また、これらの場合のフラッシュEEPROM81の各動作モードにおける各部の電位は、図15に示した従来の形態と同じである。

【0096】以上、各実施形態について説明したが、各実施形態から把握できる請求項以外の技術的思想について、以下にそれらの効果と共に記載する。

(イ)請求項1～6のいずれか1項に記載のスプリットゲート型トランジスタにおいて、浮遊ゲート電極(32)上にLOCOS法によって形成された絶縁膜(19)が形成され、浮遊ゲート電極の上部のカドに突起(32a)が形成されたスプリットゲート型トランジスタ。

【0097】(ロ)請求項7～10のいずれか1項に記載のスプリットゲート型トランジスタの製造方法において、LOCOS法を用い、浮遊ゲート電極(32)上に絶縁膜(19)を形成し、その絶縁膜の端部に形成されたバズビーク(19a)により、浮遊ゲート電極の上

部のカドに突起(32a)を形成する工程を備えたスプリットゲート型トランジスタの製造方法。

【0098】上記(イ)(ロ)のようにすれば、浮遊ゲート電極に突起が形成されるため、浮遊ゲート電極に蓄積された電子を制御ゲート電極へ引き抜く際に電子の移動が容易になり、効率的に引き抜くことができる。

【0099】ところで、本明細書において、発明の構成に係る部材は以下のように定義されるものとする。

(a) 半導体基板とは、単結晶シリコン基板だけでなくウェルをも含むものとする。

【0100】(b) 第1または第2の導電膜とは、ドーパドポリシリコン膜だけでなく、高融点金属を含む各種金属膜やシリサイド膜をも含むものとする。

(c) ゲート絶縁膜またはトンネル絶縁膜とは、シリコン酸化膜だけでなく、シリコン窒化膜や複数の絶縁膜を複数積層した構造の膜をも含むものとする。

【0101】

【発明の効果】請求項1〜6のいずれか1項に記載の発明によれば、微細なスプリットゲート型トランジスタを提供することができる。

【0102】請求項7〜10のいずれか1項に記載の発明によれば、微細なスプリットゲート型トランジスタの製造方法を提供することができる。請求項11に記載の発明によれば、ソース領域とソース電極とが接続されているため、両者を合わせた電気抵抗を小さくすることが可能になり、特性のバラツキのない高性能なトランジスタを得ることができる。

【0103】請求項12または請求項13に記載の発明によれば、過剰消費の問題がなく高集積化が可能な不揮発性半導体メモリを提供することができる。

【図面の簡単な説明】

【図1】第1実施形態の概略断面図。

【図2】第1実施形態の製造工程を説明するための概略断面図。

【図3】第1実施形態の製造工程を説明するための概略

断面図。

【図4】第1実施形態の製造工程を説明するための概略断面図。

【図5】第1実施形態の製造工程を説明するための概略断面図。

【図6】第2実施形態の概略断面図。

【図7】第2実施形態の製造工程を説明するための概略断面図。

【図8】別の実施形態の概略断面図。

10 【図9】別の実施形態の概略断面図。

【図10】従来の形態の概略断面図。

【図11】第1、第2実施形態および従来の形態のブロック回路図。

【図12】第1、第2実施形態および従来の形態の説明図。

【図13】従来の形態の概略断面図。

【図14】別の実施形態および従来の形態のブロック回路図。

【図15】別の実施形態および従来の形態の説明図。

20 【符号の説明】

2…P型単結晶シリコン基板

3…ソース領域

4…ドレイン領域

5…チャネル領域

6…ゲート絶縁膜

8…トンネル絶縁膜

9…制御ゲート電極

10…選択ゲート

12…第3の膜としてのパッシベーション膜

30 14…ソース電極

32…浮遊ゲート電極

41…第1の導電膜としてのドーパドポリシリコン膜

43…第2の導電膜としてのドーパドポリシリコン膜

44…エッチング用マスク

61…サイドウォールスペーサ

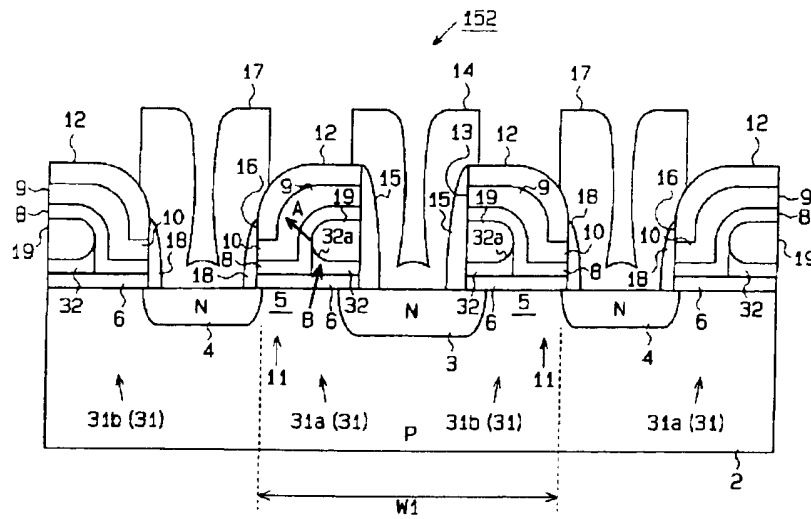
【図12】

動作モード	書き込み	消去	読み出し	スタンバイ
ワード線WLm (制御ゲート電極9)	2V	14~15V	4V	0V
ビット線BLm (ドレイン領域4)	0V	0V	2V	0V
共通ソース線SL (ソース領域3)	12V	0V	0V	0V
基板2	0V	0V	0V	0V

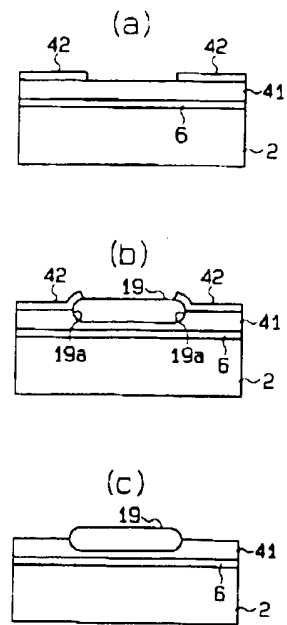
【図15】

動作モード	書き込み	消去	読み出し	スタンバイ
ワード線WLm (制御ゲート電極9)	2V	14~15V	4V	0V
ビット線BLm (ドレイン領域4)	12V	0V	2V	0V
共通ソース線SL (ソース領域3)	0V	0V	0V	0V
基板2	0V	0V	0V	0V

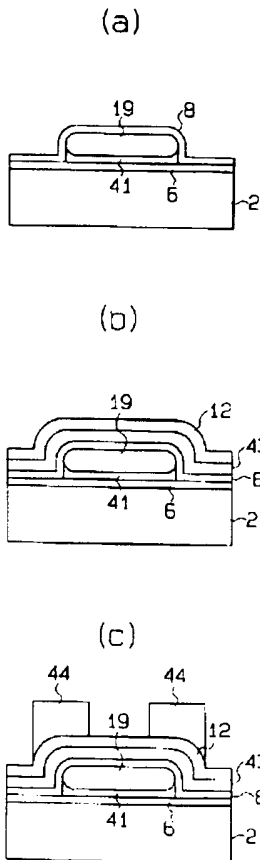
【図1】



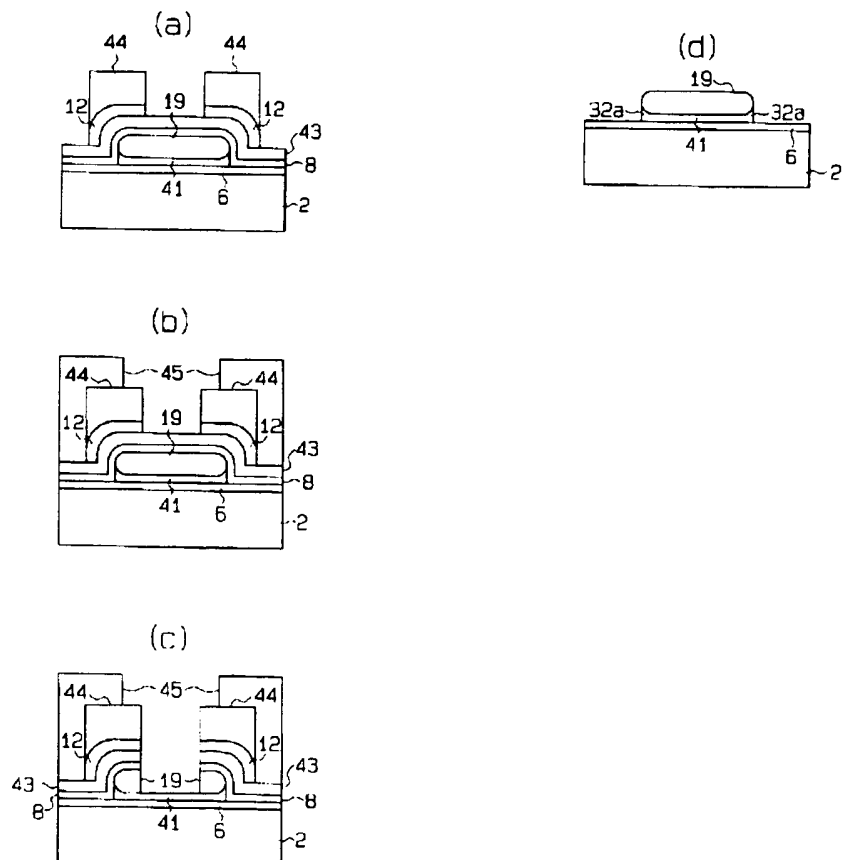
【図2】



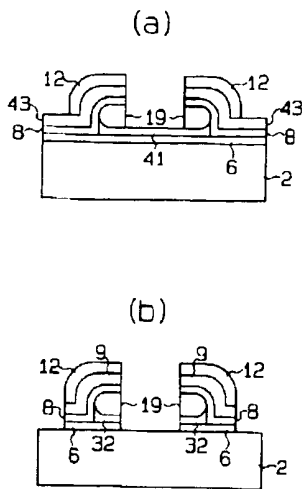
【図3】



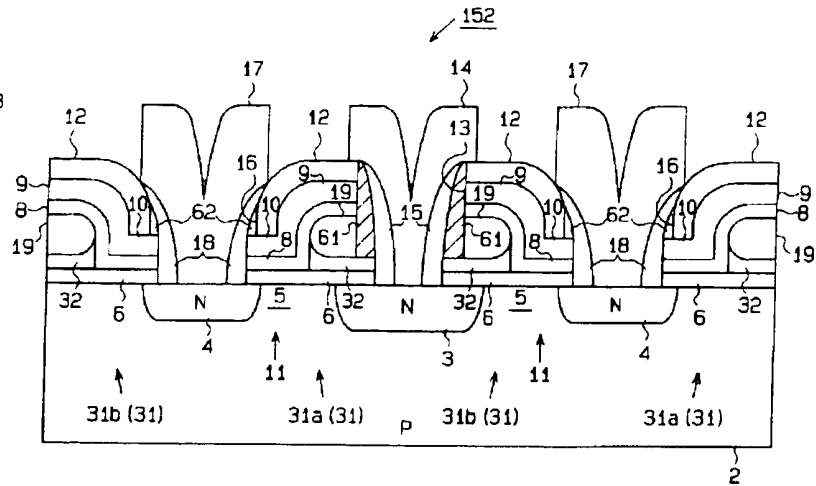
【図4】



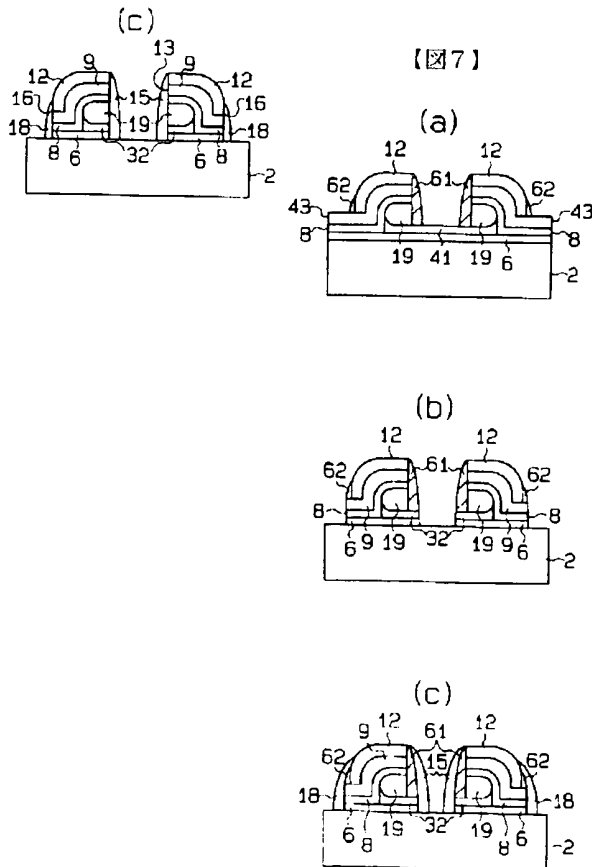
【図5】



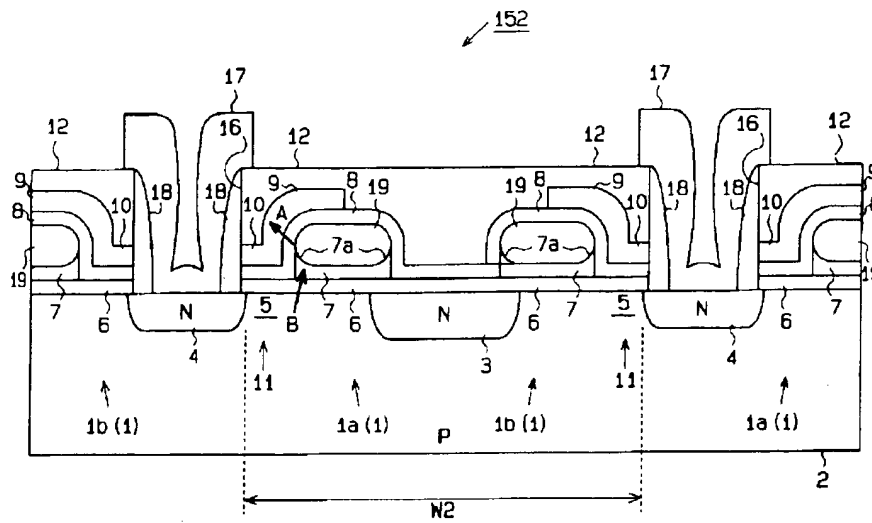
【図6】



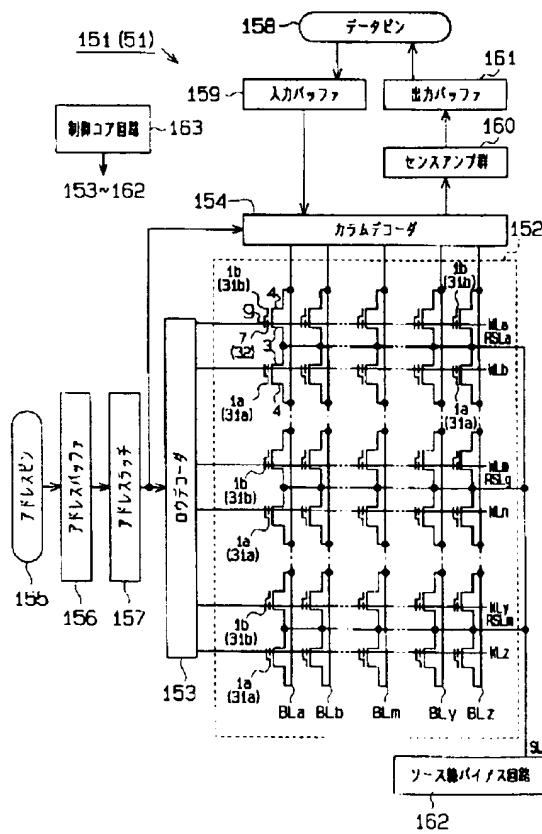
【図7】



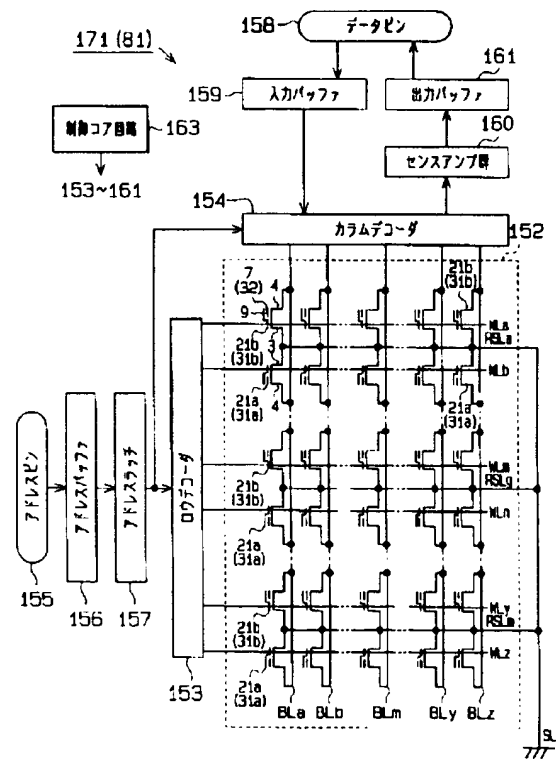
【図10】



【図11】



【図14】



【図13】

